

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
1. September 2005 (01.09.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/081107 A1**

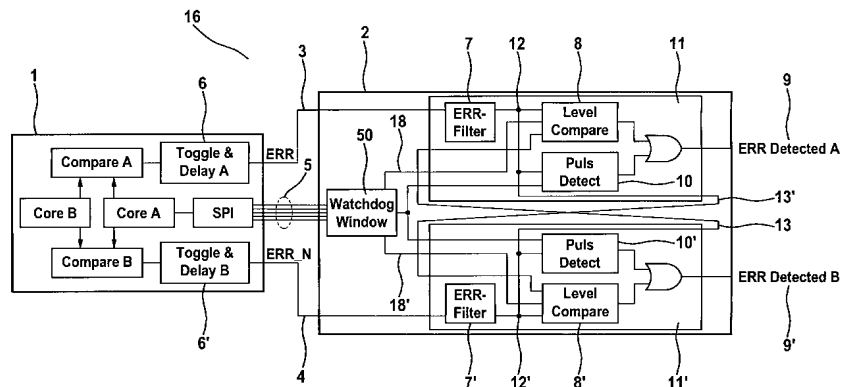
(51) Internationale Patentklassifikation<sup>7</sup>: **G06F 11/07**  
(21) Internationales Aktenzeichen: PCT/EP2005/050707  
(22) Internationales Anmeldedatum:  
17. Februar 2005 (17.02.2005)  
(25) Einreichungssprache: Deutsch  
(26) Veröffentlichungssprache: Deutsch  
(30) Angaben zur Priorität:  
102004008809.8 20. Februar 2004 (20.02.2004) DE  
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme  
von US): **CONTINENTAL TEVES AG & CO. OHG**  
[DE/DE]; Guerickestrasse 7, 60488 Frankfurt/Main (DE).

(72) Erfinder; und  
(75) Erfinder/Anmelder (nur für US): **FEY, Wolfgang**  
[DE/DE]; Nesselweg 17, 65527 Niedernhausen (DE).  
**HEINZ, Micha** [DE/DE]; Liebigstr. 35, 64293 Darmstadt  
(DE). **TRASKOV, Adrian** [DE/DE]; Hardtbergstrasse  
8, 61449 Steinbach (DE). **MICHEL, Frank** [DE/DE];  
Speierlingsweg 2c, 61191 Rosbach v.d.Höhe (DE).  
(74) Gemeinsamer Vertreter: **CONTINENTAL TEVES AG  
& CO. OHG**; Guerickestrasse 7, 60488 Frankfurt/Main  
(DE).  
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,  
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,  
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND INTEGRATED SWITCHING CIRCUIT FOR INCREASING THE IMMUNITY TO INTERFERENCE

(54) Bezeichnung: VERFAHREN UND INTEGRIERTER SCHALTKEIS ZUR ERHÖHUNG DER STÖRFESTIGKEIT



(57) Abstract: The invention relates to a method for increasing the immunity to interference of an integrated switching circuit (16). According to said method, error signals are transmitted between at least one microprocessor chip or multiple microcontroller (1) and at least one additional component (2) in the form of one or more such error signals. A minimum pulse length, which is independent of the clock pulse frequency of the microprocessor or microprocessors, is defined for said transmission. A signal on an error line with a specific pulse length that is in excess of said minimum length is interpreted as an error. The invention also relates to an integrated switching circuit, which is configured in particular to carry out the aforementioned method and comprises at least one microprocessor chip or multiple microcontroller (1) and at least one additional component (2), which contains in particular separate power components and one or more pulse spreading units and/or signal delay units for the sequential emission of error pulses (6, 6') via at least one error line (3, 4)

(57) Zusammenfassung: Beschrieben ist ein Verfahren zur Verbesserung der Störfestigkeit eines integrierten Schaltkreises (16), bei dem Fehlersignale zwischen mindestens einem Mikroprozessorchip oder Mehrfachprozessor-µC (1) und mindestens einem weiteren Baustein (2) in Form von einem oder mehreren Fehlersignalen übertragen werden, bei dem für die Übertragung eine von der Taktfrequenz

[Fortsetzung auf der nächsten Seite]

WO 2005/081107 A1



FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— mit internationalem Recherchenbericht

**(84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

des Mikroprozessors oder der Mikroprozessoren unabhängige Mindestimpulslänge definiert wird, ab der ein Signal auf einer Fehlerleitung mit einer bestimmten Impulslänge als ein Fehler interpretiert wird. Die Erfindung betrifft auch einen integrierten Schaltkreis, der insbesondere derart ausgeführt ist, dass das obige Verfahren ausgeführt wird, umfassend mindestens einen Mikroprozessorchip oder Mehrfachprozessor- Microcontroller (1) und mindestens einen weiteren Baustein (2), der insbesondere separat angeordnete Leistungsbauelemente umfasst, und einen oder mehrere Impulsverbreiterungseinrichtungen und/oder Signalverzögerungseinrichtungen zum Nacheinanderausgeben von Fehlerimpulsen (6, 6') über mindestens eine Fehlerleitung (3,4)

## **Verfahren und integrierter Schaltkreis zur Erhöhung der Störfestigkeit**

Die Erfindung bezieht sich auf integrierte Schaltkreise, insbesondere in elektronischen Steuergeräten, die bevorzugt Bestandteile von Kraftfahrzeugsteuergeräten sind. Insbesondere handelt es sich bei den Steuergeräten um Steuergeräte für Kraftfahrzeugbremssysteme. Solche Steuergeräte sind unter anderem zur Durchführung von sicherheitskritischen Regelungen geeignet. Die Kraftfahrzeugsteuergeräte beinhalten bevorzugt Regelungsprogramme, wie ABS, ASR, ESP und dergleichen. Auf Grund des hohen Sicherheitsbedarfs umfassen die Regelungssysteme, welche durch die integrierten Schaltkreise gebildet sind, Sicherheitsschaltkreise, welche einen Ausfall oder einen Fehler erkennen helfen und geeignete Maßnahmen, wie Abschaltung des gesamten Systems oder einen Notbetrieb durch teilweise den Betrieb des gesteuerten Systems erhaltende Maßnahmen einleiten.

Regelungssysteme mit integrierten Schaltkreisen, die Mikroprozessoren enthalten, sind für die vorstehend geschilderten Aufgaben allgemein üblich. Um Fehlfunktionen vorzubeugen bzw. diese zu erkennen ist es sinnvoll, mindestens zwei Prozessorkerne vorzusehen. Drei oder mehrere Prozessorkerne würden zwar die Sicherheit weiter erhöhen, jedoch ist dies aus Kostengründen in Verbindung mit den sehr hohen im Bereich der Kfz-Technik üblichen Stückzahlen nicht immer erwünscht. Es besteht daher der Bedarf an kostengünstigen Schaltkreisen mit hohem Sicherheitsniveau.

Außerordentlich bewährt hat sich zum Beispiel ein Konzept eines Regelungssystems, welches aus zwei integrierten Schaltkreisen besteht, die in separaten Chipgehäusen untergebracht sind. Hierdurch ergibt sich der Vorteil einer räumlichen Trennung von Leistungsbauelementen (PowerFETs etc.)

- 2 -

und hochintegrierten Mikroprozessorbauelementen ( $\mu$ C, Speicher usw.).

Die fehlerrelevante Kommunikation erfolgt im obigen Beispiel bevorzugt über zwei Fehlerleitungen ERR und ERR\_N.

Die Erfindung geht von einem obigen System aus und verbessert dieses, um die Störfestigkeit weiter zu verbessern.

Diese Aufgabe wird erfindungsgemäß gelöst durch ein Verfahren gemäß den Ansprüchen 1 und 2 sowie einen integrierten Schaltkreis gemäß Anspruch 15.

Das Regelungssystem kann außerdem einen oder mehrere Überwachungsschaltkreise besitzen, die insbesondere auf einem oder mehreren weiteren separaten Chips untergebracht sind (Watch-dog).

Im bekannten elektronischen Regler sind Prozessorchip und Leistungschip bevorzugt über die Leitungen ERR und ERR\_N verbunden. Dabei muss der Leistungschip in der Lage sein, Pulse vom Prozessorchip, die auf ERR bzw. ERR\_N übertragen werden, mit einer minimalen Pulsbreite von beispielsweise  $T_{min} = 30 \text{ ns}$  zu erkennen. Es ist möglich, dass externe elektrostatische, magnetische oder elektromagnetische Störungen (z. B. statische Aufladungen, ESD) in das System eingreifen und unerwünschte Auswirkungen haben.

Erfindungsgemäß werden Verfahren sowie integrierte Schaltkreise gemäß den unabhängigen Patentansprüchen beschrieben, um die Störfestigkeit, insbesondere die Störfestigkeit der Signale ERR und ERR\_N, zu erhöhen. Dies führt zu einer erhöhten Systemverfügbarkeit.

- 3 -

Nach einem Grundgedanken der Erfindung werden insbesondere folgende Maßnahmen, einzeln oder in beliebiger Kombination, durchgeführt:

- Deutliche Verlängerung der minimalen Pulsbreite  $T_{Min}$
- Filterung der Signale ERR und ERR\_N in dem Leistungschip
- Neudefinition des Watchdog Zeitfensters in dem Leistungschip mit der Einführung der Verzögerungszeit  $T_{Window-Delay}$
- Einführung des Blocks „Toggle und Delay„ in der Prozessorchip um die minimale Pulsbreite  $T_{Min}$  zu garantieren.

Hierdurch ergeben sich folgende Vorteile:

- Durch die Filterung der Leistungschip-Eingangssignale ERR und ERR\_N wird die Störfestigkeit des Systems deutlich verbessert. Besonders der Einfluss von elektrostatischen, magnetischen oder elektromagnetischen Störungen wird erheblich verringert, da diese in der Regel von kurzer Dauer sind und wegen der neuen, größeren Mindestimpulslänge daher nicht irrtümlich als Fehler-signale interpretiert werden können.
- Durch das erfindungsgemäße Verfahren wird erreicht, dass es zu keiner Einschränkung der Fehlerüberwachung des Prozessorchips durch den Leistungschip gegenüber der bisherigen, ungefilterten Lösung, kommt. Das heißt, es gehen keine Fehlerimpulse verloren.

Der integrierte Schaltkreis umfasst mindestens einen Mikroprozessorchip oder Mehrfachprozessor-Microcontroller und mindestens einen weiteren Baustein, der insbesondere ein

- 4 -

integrierter Baustein ist. Der integrierte Baustein umfasst vorzugsweise Leistungsbaulemente und ist daher insbesondere ein mixed-signal-Baustein.

Probleme ergeben sich auf Grund der im allgemeinen erheblich höheren Taktfrequenz der Mikroprozessorbausteine gegenüber den mixed-signal-Bausteinen. Hierdurch können aufeinanderfolgende Fehlerereignisse so dicht aufeinanderfolgend sein, dass diese nicht mehr ohne weiteres von sonstigen Störungen unterschieden werden können.

Alternativ kann die Erfindung auch insbesondere auf folgende Weise durchgeführt werden:

- Die digitale Filterung kann durch eine analoge Filterung ersetzt werden.
- Arbeitet der Microcontroller (Prozessorchip) viel langsamer als der Mixed Signal Chip (Leistungschip), dann kann ohne den „Toggle & Delay“-Block im Mikrocontroller eine digitale Filterung durchgeführt werden.

Weitere bevorzugte Ausführungsformen ergeben sich aus den Unteransprüchen und der nachfolgenden Beschreibung der Figuren.

Nachfolgend wird die Erfindung an Hand von Beispielen näher erläutert.

Es zeigen

Fig. 1      einen Systemüberblick der zusammengeschalteten Chips,

- 5 -

Fig. 2 eine Darstellung der Filtercharakteristik im Zusammenhang mit den Fehlerleitungen und

Fig. 3 ein Diagramm zur Darstellung des Zeitverhaltens der Signale (Timingdiagramm).

In Fig. 1 ist ein Systemüberblick gegeben:

Im elektronischen Regler eines Kraftfahrzeugbremssystems ist der Mikrocontroller 1 (Prozessorchip) mit dem Mixed-Signal-IC 2 (Leistungschip) über die Fehlerleitungen 3 und 4 sowie über das SPI-Interface 5 verbunden.

Der Mikrocontroller 1 besteht aus zwei unabhängigen Prozessorkernen (Core A und Core B), deren Operationen kontinuierlich durch die Vergleichsblöcke Compare A und Compare B hardwaremäßig überprüft werden. Wird bei dieser Vergleichsoperation ein Fehler erkannt, so muss diese Fehlerinformation über die Leitungen 3 ERR und 4 ERR\_N an Leistungschip 2 sicher übertragen werden.

Nach dem Verfahren wird ein Fehler bevorzugt dadurch signalisiert, dass der Pegel auf einer Fehlerleitung wechselt (z.B. von logisch "High" auf "Low").

Insbesondere ist vorgesehen, dass bei jedem Fehler jede der Leitungen 3 ERR und 4 ERR\_N einmal den Signalpegel wechselt. Die Pegel auf ERR und ERR\_N sind vorzugsweise gegenläufig oder komplementär.

Das Mixed Signal IC 2 arbeitet in der Regel und bevorzugt erheblich langsamer als der Mikrocontroller. Aus diesem Grund muss sichergestellt werden, dass die minimale Pulsbreite  $T_{min}$  auf den Signalleitungen ERR und ERR\_N nicht un-

- 6 -

terschritten wird. Sonst ist es möglich, dass Baustein 2 einen Fehler "übersieht".

Diese beiden Aufgaben werden von den Blöcken „Toggle & Delay“, 6 und 6' erfüllt. Liegen in dem Prozessorchip mehrere Fehler vor, so werden die Pegelwechsel auf ERR und ERR\_N verzögert ("Delay"), um die minimale Pulsbreite  $T_{\min}$  zu garantieren.

Das Mixed Signal IC filtert jeweils die ERR/ERR\_N Signale mit jeweils einer Filtereinrichtung 7, 7'. Diese Filterung erfolgt insbesondere digital. Dabei ist bevorzugt eine Filterzeitkonstante  $T_{\text{Filter}}$  vorgesehen. Die minimale Pulsbreite  $T_{\min}$  ist bevorzugt viel größer, als der interne Systemtakt des Leistungschips 2.

Durch die Filterung der Signale ERR/ERR\_N werden vorteilhafterweise äußere Störungen (elektrostatische, magnetische oder elektromagnetische Störungen), unterdrückt und dadurch die Zuverlässigkeit und Verfügbarkeit des Systems erhöht.

In den Blöcken „Level Compare“, 8, 8' wird redundant überprüft, ob beide Fehlersignale gegenläufige Pegel haben. Gleiche Pegel auf ERR und ERR\_N führen zu einem Fehler und werden außerhalb einer Prüfroutine auf den Signalen „Error Detected“, 9, 9' ausgegeben. Zusätzlich sucht der Block „Pulse Detect“, 10, 10' nach Flanken auf den gefilterten ERR/ERR\_N Signalen. Die Signalausgänge von Block "Level-Compare" 8 und "Puls-Detect" 10 sind durch einen ODER-Baustein logisch verknüpft und bilden den Ausgang "ERR Detected A" 9. Entsprechendes gilt für den redundanten Pfad 11'.



- 7 -

Im beispielgemäßen elektronischen Regler wird in regelmäßigen Abständen  $T_{Loop}$  eine Watchdog-Prüfroutine mit künstlicher Fehlerübertragung über die SPI-Schnittstelle 5 von Prozessorchip 1 zu Leistungschip 2 signalisiert. Während dieser Prüfroutine wird die Fehlererkennung im Mikrocontroller und die Verbindungen über die Error-Leitungen zwischen Leistungschip und Prozessorchip getestet. Im Mikrocontroller wird über per Software angesteuerte Teststrukturen ein Fehler erzeugt, was am Ausgang der Blöcke „Toggle und Delay“ zu einem einmaligen Pegelwechsel auf den ERR/ERRN-Leitungen führt.

Während die Prüfroutine ("Watchdogübertragung") aktiv ist, definiert Leistungschip 1 über Bus 5 ein Zeitfenster in Block 50. Innerhalb des Zeitfensters wird als gültiges Fehlersignal zum Testen insbesondere ein Signal angesehen, welches aus genau einem Flankenwechsel auf der gefilterten ERR und der ERR\_N-Leitung besteht. Ein Fehler wird durch den Block "Puls Detect" 10 (bzw. 10' im redundanten Zweig B) erkannt, wenn innerhalb des Zeitfensters keine oder mehr als eine Flanke auf den gefilterten Signalen ERR-Filter oder ERR\_N-Filter auftreten (siehe Timing Diagramm in Fig. 2). Die Pegelüberwachung 8 ist während der Watchdogübertragung mittels Leitung 18 (18' im redundanten Zweig B) ausgeschaltet, da der Pegelwechsel auf ERR und ERR\_N durch unterschiedliche Signallaufzeiten nicht absolut synchron erfolgen kann.

Am Ende des durch Block 50 definierten Zeitfensters müssen die Signale ERR/ERR\_N wieder gegenläufige Pegel besitzen, da nun die Pegelüberwachung der gefilterten Signale wieder einsetzt.

- 8 -

Kommt es außerhalb des Watchdog-Zeitfensters zu einem Pegelwechsel auf den gefilterten Signalen ERR oder ERR\_N, so wird dies durch den Block "Puls Detect" 10 direkt als Fehler erkannt und auf Leitung „Err Detected“, 9 ausgegeben. Um diese Funktionalität herbeizuführen, ist Block 50 mit Block 10 über eine Steuerleitung verbunden.

Block "Level-Compare" 8 ist ebenfalls redundant vorgesehen (siehe Block 8'). Durch Block 8 wird geprüft, ob die Fehler-signale der komplementären Fehlerleitungen beide vorhanden sind. Ist dies nicht der Fall, zum Beispiel wenn eine der Fehlerleitungen defekt ist, wird ein Fehler ausgegeben.

In Fig. 2 ist gezeigt, wie eine Implementierung der ERR-Filter 7 bzw. 7' erfolgen kann:

Wie in Fig. 1 zu erkennen, ist in Leistungschip 2 die Fehlererkennung für die Leitungen 3 ERR und 4 ERR\_N grundsätzlich redundant ausgelegt. Daher ist bevorzugt für jeden Rechnerkern eine eigene Fehlererkennungsschaltung 11 und 11' mit jeweils eigener Fehlerleitung 9 "ERR-Detected A" und 9' "Err-Detected B" vorgesehen. Bevorzugt ist zur Senkung der Herstellungskosten in Schaltung 11 der Filter 7 nur für eine der vorhandenen Fehlerleitungen 3 und 4 vorhanden. In Schaltung 11' ist ebenfalls lediglich eine Filterschaltung 7' vorhanden. In beiden Schaltungen 11 und 11' wird der Ausgang des Filters 7 bzw. 7' mit den Verbindungspunkten 12 und 12' über Kreuzleitungen 13 und 13' den Eingängen der "Level-Compare"-Schaltungen 8 und 8' neben den Fehlersignalen 3 und 4 eingangsseitig zugeführt. Hierzu wird also jeweils das Ergebnis der Filteroperation in den Block ERR-Check B 11' zurückgekoppelt. Umgekehrt gilt das gleiche für das ERR\_N Filter, dessen Ergebnis in den Block ERR-Check A 11 zurückgekoppelt wird. Die Rückkopplung wird jeweils für den Test auf invertierte Pegel verwendet.

- 9 -

ERR-Filter 7 ist bevorzugt als digitaler Vorwärts/Rückwärtszähler ausgeführt, der in Abhängigkeit vom Eingangssignals seinen Zählerstand ändert. Liegt am Eingang des Filters ein Signal mit dem digitalen Low-Pegel an, dann wird der Zählerstand um Eins vermindert. Liegt ein High-Pegel an, dann wird der Zählerstand um Eins erhöht. Die möglichen Zählerstände sind auf den Bereich von 0 bis  $Z_{\text{MaxCount}}$  begrenzt. In Fig. 2 ist ein möglicher Signalverlauf dargestellt. Entsprechendes gilt auch für den Filter 7'.

Erreicht der Zählerstand von Filter 7 den Wert Null, dann geht der Ausgang des Filters an Punkt 12 auf Low. Erreicht der Zählerstand den Wert  $Z_{\text{MaxCount}}$ , dann geht der Ausgang des Filters auf High. Zusammen mit der verwendeten Taktfrequenz  $f_{\text{Leistungschip}}$  ergibt sich eine Filterzeit von

$$T_{\text{Filter}} = \frac{Z_{\text{MaxCount}}}{f_{\text{PCU}}} \quad T_{\text{PCU}} = \frac{1}{f_{\text{PCU}}},$$

wobei  $f_{\text{CPU}}$  die Taktfrequenz des Mikrorechners ist. Mit dieser Implementierung werden alle Störungen, die kürzer sind als  $T_{\text{Filter}}$  und die durch die Abtastung erfasst werden, unterdrückt. Der Zählerstand des Filters ist in Fig. 2 in Abhängigkeit vom Eingang des Filters dargestellt.

Fig. 3 stellt ein Timing-Diagramm dar, welches die logischen Pegel der vorhandenen Steuerleitungen zeitabhängig darstellt. An Hand dieser Figur wird nun eine mögliche Definition eines Watchdog-Zeitfensters in Block 50 erläutert. Das Watchdog Zeitfenster in Block "Watchdog Window" 50 wird vom Prozessorchip 1 durch das SPI-Interface 5 bestimmt. Prozessorchip 1 wählt den Watchdogtransfer durch die Chipselect-signale  $\text{CSVO\_N} = \text{low}$  und  $\text{CSWD\_N} = \text{high}$  aus.

- 10 -

Das Watchdog-Zeitfenster 17 beginnt nach der ersten steigenden Flanke 14 auf dem Taktsignal der SPI-Übertrag SPICLK. Die Verzögerung  $T_{Sync}$  beinhaltet Signallaufzeiten sowie die Synchronisationszeit zwischen dem externen Takt des SPI-Interface und dem internen Leistungschip Systemtakt.

Das Watchdog-Zeitfenster 17 endet an sich nach der steigenden Flanke 15 von CSWD\_N. Es muss jedoch sichergestellt werden, dass die Flanken der gefilterten Signale ERR bzw. ERR\_N noch innerhalb des aktiven Watchdog-Zeitfensters erkannt werden. Aus diesem Grund schließt sich an den Zeitpunkt von Flanke 15 eine Verzögerungszeit  $T_{WindowDelay}$  an, in der noch die erwartete Flanke verarbeitet wird. Es gilt dabei die folgende Bedingung:

$$T_{WindowDelay} > T_{Filter}$$

Diese Bedingung erfüllt die Anforderungen jedoch nur in einem störungsfreien System. Berücksichtigt man jedoch den Effekt, dass Störungen auf dem Eingangssignal eine zusätzliche Verzögerung hervorrufen, dann erhält man das robusteste und aufwandsgünstigste System wenn

$$T_{WindowDelay} \approx 2 \cdot T_{Filter},$$

da im gestörten System die vorgestellte Filterverzögerung nie größer werden kann, als die zweifache Filterzeit.

Dabei sind folgende Anforderung an die Signalverzögerung innerhalb des Prozessorchips 1 zu stellen:

Außerhalb der Zeit, während die Fehlerprüfroutine läuft (Watchdogtransfer), führt ein einmaliges Fehlerereignis in-

- 11 -

nerhalb des Prozessorchips 1 immer zu einer Fehlererkennung innerhalb des Leistungschips 2. In diesem Fall muss Prozessorchip 1 lediglich garantieren, dass die minimale Pulslänge  $T_{Min}$  auf den Signalen ERR bzw. ERR\_N nicht unterschritten wird.

Während einer Fehlerprüfroutine (Watchdogtransfer), in der über Bus 5 ein Zeitfenster definiert wird, muss garantiert werden, dass neben dem Fehler, der durch die Testprozedur hervorgerufen wird, auch jeder zusätzliche Fehler sicher von Leistungschip 2 erkannt wird. In diesem Fall muss Prozessorchip 1 die Pegel auf den Fehlerleitungen ERR/ERR\_N für den ersten auftretenden Fehler einmal ändern. Tritt während der Zeit  $T_{Min}$  ein weiterer Fehler in Prozessorchip 1 auf, dann muss dieser Fehler bis zum Ablauf der Zeit  $T_{Min}$  verzögert werden. Dann muss Prozessorchip 1 erneut die Signalpegel auf ERR/ERR\_N ändern. Dies erfolgt durch die Einrichtung 6 bzw. 6' ("Toggle und Delay"). In diesem Fall wird in Leistungschip 2 entweder der zweifache Pegelwechsel während des Watchdogzeitfensters 17 erkannt, oder ein Pegelwechsel befindet sich außerhalb des Zeitfensters 17. In beiden Fällen erkennt Leistungschip 2 den zusätzlichen Fehler.

Ein zweimaliger Pegelwechsel im Abstand von  $T_{Min}$  reicht damit in allen Fällen aus, um einen Fehler in der Leistungschip zu erkennen. Der Block „Toggle & Delay“, 6 bzw. 6' muss damit neben dem ersten auftretenden Fehler nur einen weiteren Fehler um  $T_{Min}$  verzögert an die Leistungschip übertragen.

**Patentansprüche**

1. Verfahren zur Verbesserung der Störfestigkeit eines integrierten Schaltkreises (16), bei dem Fehlersignale zwischen mindestens einem Mikroprozessorchip oder Mehrfachprozessor- $\mu$ C (1) und mindestens einem weiteren Baustein (2) in Form von einem oder mehreren Fehlersignalen übertragen werden, dadurch **gekennzeichnet**, dass für die Übertragung eine von der Taktfrequenz des Mikroprozessors oder der Mikroprozessoren unabhängige Mindestimpulslänge definiert wird, ab der ein Signal auf einer Fehlerleitung mit einer bestimmten Impulslänge als ein Fehler interpretiert wird.
2. Verfahren zur Verbesserung der Störfestigkeit eines integrierten Schaltkreises (16), bei dem Fehlersignale zwischen mindestens einem Mikroprozessormodul oder Mehrfachprozessor-Modul und mindestens einem weiteren Gemischtsignal-Modul in Form von einem oder mehreren Fehlersignalen übertragen werden, wobei die besagten Module auf einem Chip oder in einem Chip-Gehäuse integriert sind, dadurch **gekennzeichnet**, dass für die Übertragung eine von der Taktfrequenz des Mikroprozessors oder der Mikroprozessoren unabhängige Mindestimpulslänge definiert wird, ab der ein Signal auf einer Fehlerleitung mit einer bestimmten Impulslänge als ein Fehler interpretiert wird.
3. Verfahren nach Anspruch 1 oder 2, dadurch **gekennzeichnet**, dass im Falle einer Fehlerfolge mit einem Fehlerabstand, der kleiner als die Mindestimpulslänge ist, die Zeit der über die mindestens eine Fehlerleitung ausgegebenen Fehlerfolge gegenüber der tatsächlichen Fehlerfolgezeit zeitlich gedehnt wird.

- 13 -

4. Verfahren nach mindestens einem der Ansprüche 1 bis 3, dadurch **gekennzeichnet**, dass das/die Fehlersignal/e in einem Chip, welcher das/die Fehlersignal/e eines anderen Chips oder Bausteins empfängt, genau dann nicht verarbeitet werden, wenn die Signale eine Mindestdauer unterschreiten und genau dann verarbeitet werden, wenn die Mindestdauer erreicht, oder überschritten wird, wobei hierzu die Signale insbesondere durch zumindest ein Filter, insbesondere ein Tiefpaßfilter (7, 7'), geleitet werden.
5. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass mindestens ein Watchdog-Zeitfenster (17) im integrierten Schaltkreis oder im weiteren Baustein (2) vorgegeben wird, innerhalb dem mindestens ein künstlich erzeugtes Fehlersignal oder Fehlersignalmuster erzeugt und überprüft wird, so dass die Fehlererkennungsschaltkreise selbst überprüfbar werden.
6. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass das Watchdog-Zeitfenster (17) eine Verzögerungszeit  $T_{\text{WindowDelay}}$  hat, wobei bis zum Ablauf der Verzögerungszeit  $T_{\text{WindowDelay}}$  das Zeitfenster, in dem mindestens ein Fehlersignal oder Fehlersignalmuster erwartet wird, weiter geöffnet bleibt.
7. Verfahren nach Anspruch 5, dadurch **gekennzeichnet**, dass die Verzögerungszeit  $T_{\text{WindowDelay}}$  größer ist als die Filterzeit  $T_{\text{Filter}}$  des oder der Filter (7, 7'), welche/s das oder die Fehlersignale der mindestens einen Fehlerleitung (3, 3') verarbeitet.

- 14 -

8. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass innerhalb des fehlersignalsendenden Chips (1) die Fehlersignale verbreitert werden und/oder verzögert nacheinander über die Fehlerleitung/-en ausgegeben werden.
9. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass mit Hilfe der Schnittstelle (5) ein Test der mindestens einen Fehlerleitung (3,4) durchgeführt wird.
10. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass die Fehlersignale durch Filter (7,7') mit einer bestimmten Filterzeit  $T_{\text{Filter}}$  gefiltert werden.
11. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass das Zeifenster  $T_{\text{WindowDelay}}$  im weiteren Baustein (2) über die mit Chip (1) verbundenen Schnittstelle (5) festgelegt wird.
12. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass die Bedingung  $T_{\text{WindowDelay}}$  größer als Filterzeit  $T_{\text{Filter}}$  erfüllt ist.
13. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass die Verzögerung  $T_{\text{WindowDelay}}$  in etwa der zweifachen Zeit  $T_{\text{Filter}}$  entspricht.
14. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch **gekennzeichnet**, dass die Pulsbreite  $T_{\text{Min}}$  auf einen Wert von mindestens etwa 30 ns festgelegt



- 15 -

wird.

15. Integrierter Schaltkreis, insbesondere derart, dass das obige Verfahren ausgeführt wird, umfassend
  - mindestens einen Mikroprozessorchip oder Mehrfachprozessor-Microcontroller (1) oder Mikroprozessormodul und mindestens einen weiteren separaten Baustein (2) oder ein im gleichen Baustein integriertes Gemischtsignalmodul, der/welches insbesondere separat angeordnete Leistungsbauelemente umfasst, und
  - einen oder mehrere Impulsverbreiterungseinrichtungen und/oder Signalverzögerungseinrichtungen zum Nacheinanderausgeben von Fehlerimpulsen (6, 6') über mindestens eine Fehlerleitung (3,4)
16. Integrierter Schaltkreis nach Anspruch 15, **gekennzeichnet** durch
  - einen oder mehrere Filter (7,7') zur Filterung der durch die Fehlerleitungen (3,4) übertragenen Fehlersignale.
17. Integrierter Schaltkreis, insbesondere derart, dass das Verfahren gemäß einem Ansprüche 1 bis 14 ausgeführt wird, umfassend
  - mindestens einen Mikroprozessorchip oder Mehrfachprozessor-Microcontroller (1) und mindestens einen weiteren Baustein (2), der insbesondere separat angeordnete Leistungsbauelemente umfasst und
  - einen oder mehrere Filter (7,7') zur Filterung von Fehlerimpulsen (6, 6') über mindestens eine Fehlerleitung (3,4).
18. Integrierter Schaltkreis nach mindestens einem der vorherigen Schaltkreisansprüche, dadurch **gekennzeichnet**, dass das Filter (7,7') als digitaler Vorwärts/Rück-

- 16 -

wärtszähler ausgeführt ist.

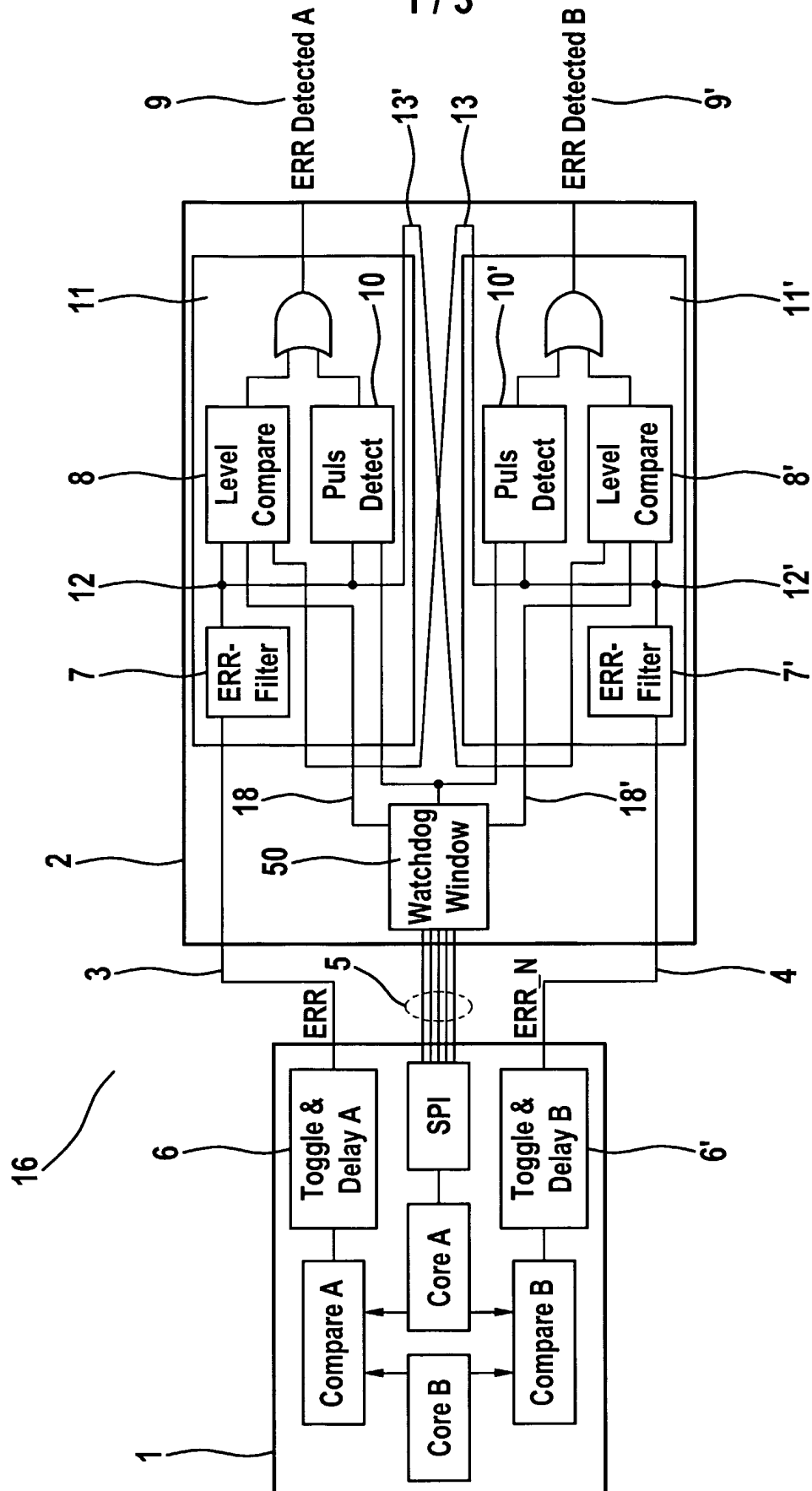
19. Integrierter Schaltkreis nach mindestens einem der vorherigen Schaltkreisansprüche, dadurch **gekennzeichnet**, dass die Chips oder Bausteine mittels mindestens einem Bus (5) und mindestens einer Fehlerleitung (3,4) verbunden sind.
20. Integrierter Schaltkreis nach mindestens einem der vorherigen Schaltkreisansprüche, dadurch **gekennzeichnet**, dass dieser hardwaremäßige Teststrukturen umfasst, mit deren Hilfe über eine Schnittstelle (5) ein Test der mindestens einer Fehlerleitung (3,4) durchgeführt werden kann.
21. Integrierter Schaltkreis nach mindestens einem der vorherigen Schaltkreisansprüche, dadurch **gekennzeichnet**, dass der Mikroprozessorchip (1) oder der weitere Baustein zumindest einen Watchdog-Window-Schaltkreis (50) umfasst.
22. Integrierter Schaltkreis nach Anspruch 21, dadurch **gekennzeichnet**, dass der Watchdog-Window-Schaltkreis (50) ein Watchdog-Zeitfenster (17) vorgibt und das Watchdog-Zeitfenster (17) eine Verzögerungszeit  $T_{\text{WindowDelay}}$  hat, wobei bis zum Ablauf der Verzögerungszeit  $T_{\text{WindowDelay}}$  das Zeitfenster, in dem mindestens ein Fehlersignal oder Fehlersignalmuster erwartet wird, weiter geöffnet bleibt.
23. Integrierter Schaltkreis, insbesondere derart, dass das Verfahren gemäß einem Ansprüche 1 bis 14 ausgeführt wird, umfassend
  - mindestens einen Mikroprozessorchip oder Mehrfachpro-

- 17 -

zessor-Microcontroller (1) und mindestens einen weiteren Baustein (2), der insbesondere separat angeordnete Leistungsbaulemente umfasst und

- zumindest einen Watchdog-Window-Schaltkreis (50), der ein Watchdog-Zeitfenster (17) vorgibt und das Watchdog-Zeitfenster (17) eine Verzögerungszeit  $T_{\text{WindowDelay}}$  hat, wobei bis zum Ablauf der Verzögerungszeit  $T_{\text{WindowDelay}}$  das Zeitfenster, in dem mindestens ein Fehlersignal oder Fehlersignalmuster erwartet wird, weiter geöffnet bleibt.

24. Integrierter Schaltkreis nach mindestens einem der vorherigen Schaltkreisansprüche, dadurch **gekennzeichnet**, dass die Verzögerungszeit  $T_{\text{WindowDelay}}$  größer ist als die Filterzeit  $T_{\text{Filter}}$  des oder der Filter (7, 7'), welche/s das oder die Fehlersignale der mindestens einen Fehlerleitung (3, 3') verarbeitet.



**Fig. 1**

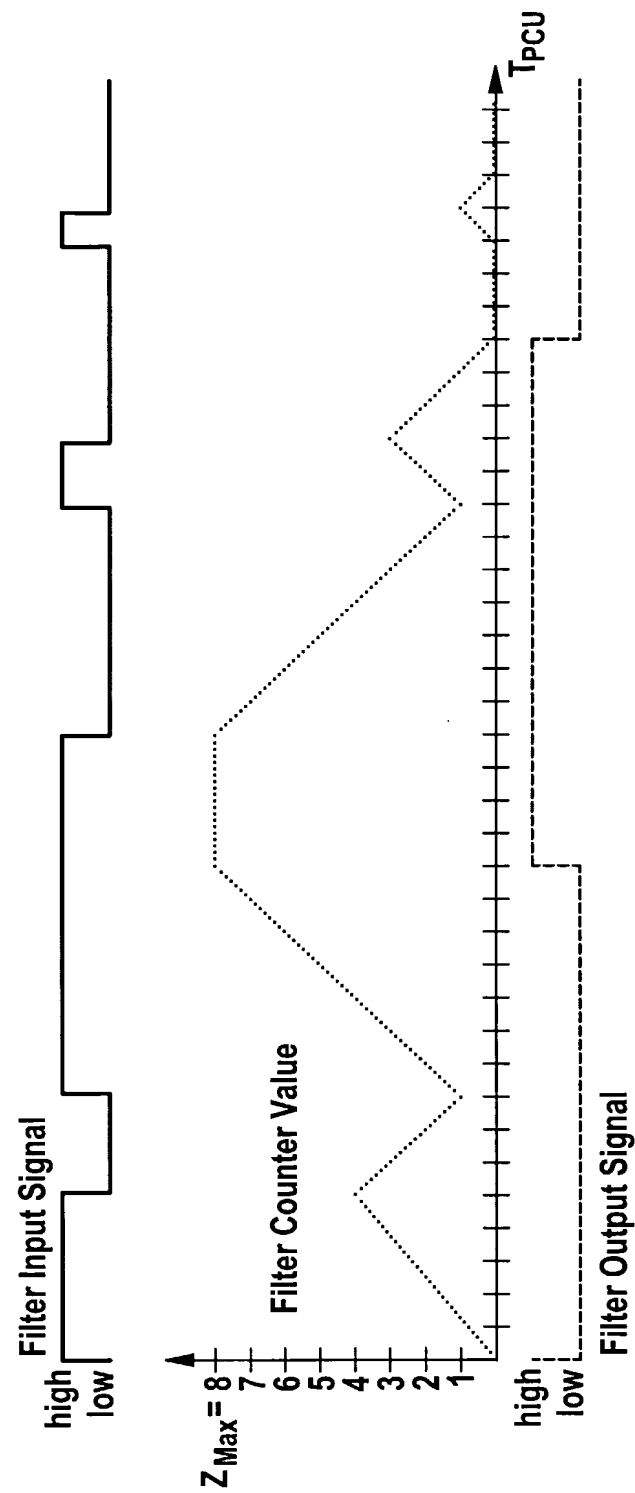


Fig. 2

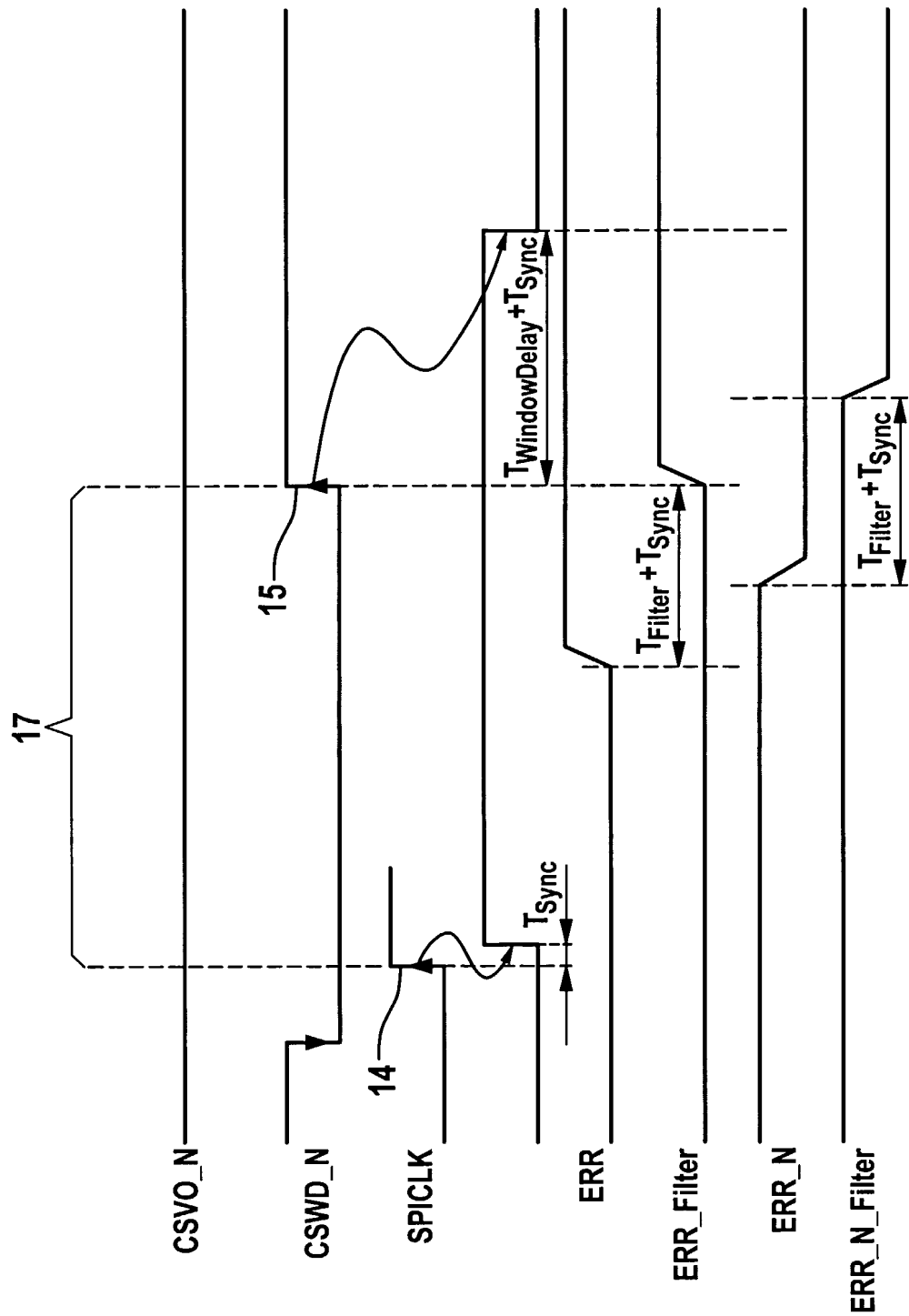


Fig. 3

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2005/050707

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 G06F11/07

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 G06F H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category * | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|------------|---|-----------------------|
| Y          | US 6 658 606 B1 (LINK LEONARD ET AL)<br>2 December 2003 (2003-12-02)<br>abstract<br>column 1, line 1 - line 52<br>column 2, line 37 - column 3, line 18<br>column 3, line 28 - line 34<br>column 4, line 48 - line 65<br>column 6, line 14 - line 21<br>figures 1-5 | 1-24                  |
| Y          | US 6 529 046 B1 (SHIH JENG-TZONG)<br>4 March 2003 (2003-03-04)<br>abstract<br>column 1, line 1 - line 34<br>column 3, line 12 - line 16<br>figures 5-12   | 1-24                  |
|            | -----<br>-/--   |                       |



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

\* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the international search

26 May 2005

Date of mailing of the international search report

13/06/2005

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Sabbah, Y

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/EP2005/050707

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

| Category ° | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|------------|---|-----------------------|
| A          | US 5 463 631 A (YAMAMOTO ET AL)<br>31 October 1995 (1995-10-31)<br>abstract<br>column 1, line 10 - line 45<br>column 2, line 18 - line 43<br>column 4, line 25 - line 41<br>figure 1<br>----- | 1-24                  |
| A          | EP 0 841 750 A (NEC CORPORATION)<br>13 May 1998 (1998-05-13)<br>abstract<br>column 2, line 22 - column 3, line 30<br>figures 4-6<br>-----   | 1-24                  |



# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2005/050707

| Patent document<br>cited in search report |    | Publication<br>date | Patent family<br>member(s) | Publication<br>date |
|---|----|---------------------|----------------------------|---------------------|
| US 6658606                                | B1 | 02-12-2003          | DE 19803824 A1             | 06-05-1999          |
|   |    |                     | DE 59803664 D1             | 08-05-2002          |
|   |    |                     | WO 9922298 A1              | 06-05-1999          |
|   |    |                     | EP 1025501 A1              | 09-08-2000          |
|   |    |                     | JP 2001521244 T            | 06-11-2001          |
| US 6529046                                | B1 | 04-03-2003          | TW 569538 B                | 01-01-2004          |
| US 5463631                                | A  | 31-10-1995          | JP 2695037 B2              | 24-12-1997          |
|   |    |                     | JP 4172830 A               | 19-06-1992          |
| EP 0841750                                | A  | 13-05-1998          | JP 3220029 B2              | 22-10-2001          |
|   |    |                     | JP 10145197 A              | 29-05-1998          |
|   |    |                     | AU 4509797 A               | 14-05-1998          |
|   |    |                     | CA 2220584 A1              | 11-05-1998          |
|   |    |                     | EP 0841750 A1              | 13-05-1998          |
|   |    |                     | US 6008672 A               | 28-12-1999          |

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
PCT/EP2005/050707

**A. KLASSTIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
IPK 7 G06F11/07

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole )  
IPK 7 G06F H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

| Kategorie* | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile  | Betr. Anspruch Nr. |
|------------|---|--------------------|
| Y          | US 6 658 606 B1 (LINK LEONARD ET AL)<br>2. Dezember 2003 (2003-12-02)<br>Zusammenfassung<br>Spalte 1, Zeile 1 - Zeile 52<br>Spalte 2, Zeile 37 - Spalte 3, Zeile 18<br>Spalte 3, Zeile 28 - Zeile 34<br>Spalte 4, Zeile 48 - Zeile 65<br>Spalte 6, Zeile 14 - Zeile 21<br>Abbildungen 1-5 | 1-24               |
| Y          | US 6 529 046 B1 (SHIH JENG-TZONG)<br>4. März 2003 (2003-03-04)<br>Zusammenfassung<br>Spalte 1, Zeile 1 - Zeile 34<br>Spalte 3, Zeile 12 - Zeile 16<br>Abbildungen 5-12<br>-----<br>-/--   | 1-24               |

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

- \*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- \*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- \*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- \*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- \*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*G\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. Mai 2005

Absenddatum des internationalen Recherchenberichts

13/06/2005

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2260 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Sabbah, Y

| C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN |  |                    |
|--|--|--------------------|
| Kategorie°   | Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile   | Betr. Anspruch Nr. |
| A  | US 5 463 631 A (YAMAMOTO ET AL)<br>31. Oktober 1995 (1995-10-31)<br>Zusammenfassung<br>Spalte 1, Zeile 10 - Zeile 45<br>Spalte 2, Zeile 18 - Zeile 43<br>Spalte 4, Zeile 25 - Zeile 41<br>Abbildung 1<br>----- | 1-24               |
| A  | EP 0 841 750 A (NEC CORPORATION)<br>13. Mai 1998 (1998-05-13)<br>Zusammenfassung<br>Spalte 2, Zeile 22 - Spalte 3, Zeile 30<br>Abbildungen 4-6<br>-----  | 1-24               |

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/050707

| Im Recherchenbericht<br>angeführtes Patentdokument | Datum der<br>Veröffentlichung | Mitglied(er) der<br>Patentfamilie | Datum der<br>Veröffentlichung |
|--|-------------------------------|-----------------------------------|-------------------------------|
| US 6658606   | B1                            | 02-12-2003                        | DE 19803824 A1 06-05-1999     |
|  |                               |                                   | DE 59803664 D1 08-05-2002     |
|  |                               |                                   | WO 9922298 A1 06-05-1999      |
|  |                               |                                   | EP 1025501 A1 09-08-2000      |
|  |                               |                                   | JP 2001521244 T 06-11-2001    |
| US 6529046   | B1                            | 04-03-2003                        | TW 569538 B 01-01-2004        |
| US 5463631   | A                             | 31-10-1995                        | JP 2695037 B2 24-12-1997      |
|  |                               |                                   | JP 4172830 A 19-06-1992       |
| EP 0841750   | A                             | 13-05-1998                        | JP 3220029 B2 22-10-2001      |
|  |                               |                                   | JP 10145197 A 29-05-1998      |
|  |                               |                                   | AU 4509797 A 14-05-1998       |
|  |                               |                                   | CA 2220584 A1 11-05-1998      |
|  |                               |                                   | EP 0841750 A1 13-05-1998      |
|  |                               |                                   | US 6008672 A 28-12-1999       |